

DLALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03953873 ****Image available****

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 04-318973 [JP 4318973 A]

PUBLISHED: November 10, 1992 (19921110)

INVENTOR(s): KUNII MASABUMI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 03-085250 [JP 9185250]

FILED: April 17, 1991 (19910417)

INTL CLASS: [5] H01L-029/784; H01L-021/205; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA)

JOURNAL: Section: E, Section No. 1340, Vol. 17, No. 152, Pg. 108,
March 25, 1993 (19930325)

ABSTRACT

PURPOSE: To form a polycrystalline silicon with high performance on a low melting point glass by preferentially orienting a crystal azimuth of the silicon in a direction {110}.

CONSTITUTION: A polycrystalline silicon is formed by a plasma chemical vapor growing method. The formed silicon is patterned in a shape of a channel region 103, and an SiO(sub 2) film 104 of a gate insulating film is formed thereon. Then, metal to become a gate electrode 105 is formed as a film by sputtering, etc., and patterned. Thereafter, an SiO(sub 2) film 106 of an interlayer insulating film is formed, a contact hole is opened, metal of a wiring electrode is eventually formed as a film, patterned to a source electrode 106 and a drain electrode 107, thereby completing a thin film transistor. The transistor is formed of a film in which a crystal azimuth of the silicon is preferentially oriented in a direction {110}. Thus, an electric field mobility can be increased.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-318973

(43) 公開日 平成4年(1992)11月10日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/205		7739-4M		
21/338				
		9056-4M	H 0 1 L 29/78	3 1 1 Q
		9056-4M		3 1 1 Y
			審査請求 未請求 請求項の数5(全 5 頁)	

(21) 出願番号 特願平3-85250

(22) 出願日 平成3年(1991)4月17日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 国井 正文

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【目的】 多結晶シリコン薄膜トランジスタの製造プロセス温度を450℃以下にすることにより低融点ガラスの使用を可能にし、デバイスの低コスト化を図る。また多結晶シリコンの結晶方位を{110}方位の優先配向とすることにより薄膜トランジスタの電界効果移動度の向上を図る。

【構成】 シリコンを含有するガスを大流量の水素ガスで希釈し、プラズマCVD法で成膜することにより、基板温度200～300℃で、ガラス基板上に{110}方位優先配向の多結晶シリコンを成膜する。この多結晶シリコン薄膜を用いて薄膜トランジスタを形成する。

【効果】 基板温度200℃程度で多結晶シリコン薄膜を形成できるため、薄膜トランジスタ応用デバイスの低コスト化に大きな効果がある。また、本発明の方法はハロゲン系のエッチングガスを使用しないため、膜中にデバイス特性の劣化の原因となる不純物の混入がない。更に、水素ガスプラズマ中で成膜するために成膜後の水素パッシベーションの必要もなく、高性能の多結晶シリコン薄膜トランジスタを製造できる。

(2)

特開平4-318973

1

【特許請求の範囲】

【請求項1】 非晶質シリコン上に形成した多結晶シリコンをその主成分として用いた薄膜トランジスタにおいて、前記多結晶シリコンは結晶方位が〔110〕方位の優先配向となっていることを特徴とする薄膜トランジスタ。

【請求項2】 前記非晶質シリコン上に薄膜トランジスタを形成する方法において、前記多結晶シリコンはプラズマ化学気相成長法で作成することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 全工程が450℃以下であることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 前記薄膜トランジスタのチャネル領域がプラズマ化学気相成長法で形成されることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項5】 前記薄膜トランジスタのソース・ドレイン領域がプラズマ化学気相成長法で形成されることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【発明の産業上の利用】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ、特に多結晶シリコン薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 低熔点ガラス上に多結晶または多結晶シリコン (poly-Si) を基質とした、薄膜トランジスタ (TFT) を作成する試みが報告されている。特に、基板としてコーニング社7059基板等の低熔点ガラス基板を用い、プロセスの最高温度450℃で、高濃度のON/OFF比のTFTを作成するプロセスの実用化が検討されている。

【0003】 従来からpoly-Siをガラス基板上に形成するには、気相CVD法を用いて基板温度600℃程度でモノシランガスを分解する方法が知られている。また高価なpoly-Si TFTを作成する従来の方法は、非晶質Si (a-Si) を気相成長法によって大面積化したpoly-Siを形成し、TFTを作成する方法や、a-Siやpoly-Siをレーザーアニーリングによって結晶再成長化し、TFTを作成する方法があった。

【0004】

【発明が解決しようとする課題】 しかし気相CVD法によるpoly-Siは、成膜速度上の要求から低熔点ガラスを基板に用いることはできない。また気相成長法によって大面積poly-Siを得る方法でも、600℃程度の温度で4~70時間という長時間アニールをしなければならず、低熔点ガラスを基板に用いることはできない。レーザーアニーリングは、レーザービームの不均一分布による特性ばらつきや、スループット解低等の問題があった。

【0005】 このため、特開昭63-176417、特開平2-177

2

368、特開平2-202018、Materials Research Society Symposium Proceedings, Volume 95, p. 225 (1987)等に見られるように、プラズマ化学気相成長法 (PCVD) で、シランガスと酸素、フロロシラン等のエッチング性ガスの混合ガスをグロー放電分解することにより、低温で多結晶シリコンを製造することのできる方法が注目されている。

【0006】 これらの成膜方法で得られたpoly-Si薄膜は、エッチング性ガスとして酸素ガス等のハロゲンガスやフロロシラン、ジクロロシラン等のハロゲン化合物を含むため、得られたpoly-Si中には酸素や窒素などのハロゲン原子が不純物として含まれる。poly-Si TFTを作成すると、これらの不純物は結晶欠陥の原因となり、TFTのリーク電流の増大を引き起こすので大きな問題となる。

【0007】 本発明は以上の問題を解決するもので、その目的は低熔点ガラス上に作成する高価なpoly-Si TFT、及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の薄膜トランジスタは、非晶質シリコン上に形成した多結晶シリコンをその主成分として用いた薄膜トランジスタにおいて、前記多結晶シリコンは結晶方位が〔110〕方位の優先配向となっていることを特徴とする。

【0009】 本発明の薄膜トランジスタの製造方法は、前記非晶質シリコン上に薄膜トランジスタを形成する方法において、前記多結晶シリコンはプラズマ化学気相成長法で作成することを特徴とする。

【0010】

【実施例】 以下、本発明の製造方法について詳述する。使用する基板は単結晶Si以外の基板なら、低熔点ガラスでもセラミック基板等でも、石英基板でもよい。単結晶Siを基板に使用するとpoly-SiではなくエピタキシャルSiが得られる。本実施例ではコーニング社7059基板を使用した。基板は7059基板に限らず石英基板等、450℃程度までのプロセス温度に耐えられるものならなんでもよい。まず基板100上に、PCVD法によりソース領域101及びドレイン領域102となるドーパントpoly-Si薄膜を2000~3000Å成膜する。成膜ガスはシランガスを主成分として選択したものにドーピングガスを添加したものを用いる。例えばn型poly-Siの場合はドーピングガスとしてホスフィン、アルシン等を用い、p型poly-Siの場合はジボラン等を用いる。本実施例では、n型の場合はホスフィン、p型の場合はジボランを用いた。ガス流量比は、n型でSiH₄:H₂:PH₃=1.800:98.191:0.009、p型でSiH₄:H₂:B₂H₆=1.800:98.164:0.036とした。ガス流量はn、p両方に200SCCMである。この成膜ガス

(3)

特開平4-318973

を用い、以下に述べるチャネルpoly-Si膜と同等にしてPCVDでドーブtpoly-Siを成膜した。得られたドーブtpoly-Siは 1000Å でn型のシート抵抗が $300\Omega/\square$ 、p型が $300\Omega/\square$ で $500\Omega/\square$ という低抵抗が得られた。ドーブtpoly-Si成膜後、ソース 101 及びドレイン 102 の形にパタニングする(図2-(a))。

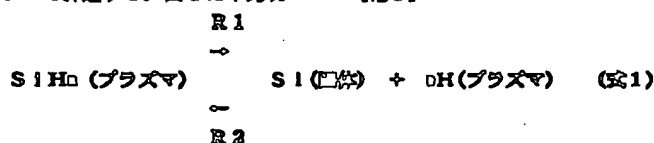
【0011】 続いて再びPCVD法によりチャネルpoly-Siを $200\sim 1500\text{Å}$ 成膜する。poly-Siを成膜するPCVD装置は、平行平板型電極を持つアネール炉PED-302型を使用した。以下、poly-Siの成膜方法について詳述する。図1に本発明の

で用いたPCVD装置の概略図を示す。1は反応室、2は排気管、3は対抗電極、4はガス吹き出し孔、5はガス入口部、6は高周波印加電極、7はヒータ、8は基板、9は高周波電極である。図1中のWは電極間隔を表す。成膜ガスには SiH_4 、 Si_2H_6 、 Si_3H_8 等と、 H_2 の混合ガスを用いる。本実施例では SiH_4 と H_2 の混合ガスを用いた。

【0012】 本発明の反応室は次に示す式1に従う。式1の反応において、R1が成膜反応で、R2がエッチング反応である。

【0013】

【化1】



(a)は図1(a)式1において、水素成膜を併して行くとR2の反応が SiH となるので、結合エネルギーの高い Si-H 結合はR2のエッチング反応により選択的に切られる。このため Si-Si 結合だけが残ることになり、このような条件のもとでは基板にはpoly-Siが成膜される。一方、シランガス成膜が与えられ式1におけるR1の成膜反応が主となり、基板には水素成膜の大きい非晶シリコン(a-Si)が成膜される。このようなR1とR2の混合成膜は、水素ガス成膜に対するシランガス成膜の比を調えることによって容易に調整することができる。従ってpoly-Si成膜を形成するには、シランガスと水素ガスの混合比を調整し、シラン成膜/水素成膜比を少なくとも0.1以下にすることが必要となる。

【0014】 更にpoly-Siを成膜する場合、シラン/水素ガス成膜比はガス供給比で $\text{SiH}_4/\text{H}_2=0.5\sim 5.0\%$ 、特に $1.0\sim 3.0\%$ が好ましい。0.5%より小さいと水素ガスによるエッチング反応が主になり、チオレートが主になり、低抵抗なpoly-Siしか成膜されない。5.0%を越えれば成膜反応が主となり、a-Siしか成膜されない。

【0015】 反応室内の圧力は $0.1\sim 10.0\text{Torr}$ で、特に $0.3\sim 1.5\text{Torr}$ が好ましい。プラズマを発生させる高周波電力は、電力密度 $0.01\sim 5.0\text{W}/\text{cm}^2$ 、好ましくは $0.03\sim 0.08\text{W}/\text{cm}^2$ とする。0.01 W/cm^2 より小さいと、エッチング反応が主になり、5 W/cm^2 を越えれば電極がプラズマダメージを受け、高周波電極を形成できない。高周波電極は $100\sim 450^\circ\text{C}$ である。好ましくは $200^\circ\text{C}\sim 400^\circ\text{C}$ とする。高周波電極が 100°C より低いとa-Siが成膜され、 450°C より高いと本実施例で用いている7059電極の寿命が短くなり、低抵抗PCVDの

利点を生かせなくなる。

【0016】 poly-Siを成膜するための成膜条件は、平行平板型PCVD装置の対向電極間隔(以下、電極間隔;図1のW)である。エッチング反応が進むためには、電極間隔が十分に短く、水素が活性状態で基板に到達しなければならない。電極間隔が長いと、エッチング反応は気相中で起こり、基板には非晶シリコンが成膜される。このため、電極間隔Wは、高周波電力と圧力によって決定される。高周波電力が $0.03\text{W}/\text{cm}^2$ で、圧力が 1.2Torr の場合は、電極間隔Wは45mm未満、好ましくは27mm以下、更に好ましくは20mm以下である必要がある。本実施例では $W=20\text{mm}$ とした。成膜前に $1\times 10^{-6}\text{Torr}$ 以下の真空にした反応室内に $\text{SiH}_4:\text{H}_2=1.8:98.2$ の混合ガスを流量 200SCCM で供給し、内圧を 1.2Torr に調整した。高周波電極を 230°C に設定した後、高周波電極が安定するまでの20分間成膜ガスを流した。次いで 13.56MHz の高周波電極を用いて、高周波電力 $0.03\text{W}/\text{cm}^2$ で44分間成膜し、7059電極上にシリコン成膜を 1000Å 成長させた。また、従来からPCVD法ではa-Si成膜の際にパーティクルが発生し、これがTFTデバイスの歩留まりを低下させる大きな原因となっていた。ところが本発明の成膜方法ではパーティクルの発生が殆どないため、TFTデバイスの歩留まり向上に大きな効果がある。

【0017】 本発明のPCVD法による成膜方法では、poly-Siの成膜が 1000Å と比較的厚くても、平均高周波電力が 1000Å 程度のpoly-Siが成膜されていることがX線分析の結果から明らかとなった。また、成膜方位は(111)、(220)方位のX線回折ピークを顕著しており、特に(220)方位が優先方向となるpoly-Si成膜が得られている。尚、ここで言う

(4)

特開平4-318973

「(h k l) 方位の優先配向」とは、式2で定義される結晶配向因子 $O(hkl)$ において、 $O(hkl) > 0.5$ となるような場合を言う。

$$O(hkl) = I(hkl) / \sum_{hkl} I(hkl)$$

ここに $I(hkl)$ は(h k l)面からのX線回折強度を、試料膜厚とX線散乱角とで規格化したものである。即ち、(h k l)面からのX線回折強度を $I(hkl)$ とし、

$$I(hkl) = I(hkl) / (1 - \exp(-2\mu t / \sin \theta)) \quad (式2)$$

ここに μ は、シリコンのCuK α 線の吸収係数の逆数、 t は膜厚である。

【0020】エッチングガスにハロゲン系のガスを用いる場合は、膜厚が2500Å以上から多結晶化が始まる事が知られており、薄膜化が困難だったが、本発明の製造方法によれば、poly-Siの薄膜化が可能となるためTFTの応用に際し効果は大きい。

【0021】このようにして成膜したpoly-Siをチャネル領域103の形にパタニングする(図2-(b))。続いてこの上にゲート絶縁膜のSiO₂104を約500~1500Å成膜する(図2-(c))。成膜方法はAr+O₂混合ガス雰囲気中でのマグネトロンスパッタ法が膜質の優れたSiO₂が基板温度=200℃程度の低温で得られるので好ましい。ArとO₂との割合はO₂/(Ar+O₂)=0.3程度が好ましい。電子サイクロトロン共振プラズマCVD法でも低温で高品質のSiO₂が得られる。またゲート絶縁膜はP-CVD法による酸化シリコン膜でも良い。

【0022】次いでゲート電極105となるCr、Mo/Ta、Al等の金属を室温~300℃程度の温度で、スパッタ等で成膜、パタニングする(図2-(d))。ゲート電極はPCVD法によるドーブtpoly-Siでも良い。次いで層間絶縁膜のSiO₂106を約5000~8000Å成膜する(図2-(e))。コンタクトホールを空け、最後に配線電極の金属(Al等)を約7000Å成膜し、ソース電極106、及びドレイン電極107にパタニングしてTFTの完成となる(図2-(f))。

【0023】本発明のpoly-Si TFTの電界効果移動度 μ はnチャネルで40cm²/Vs、pチャネルで20cm²/Vsであった。これに対し{110}方位の結晶配向率が50%未満で平均結晶粒径が1000Å程度の従来のpoly-Si TFTの μ はnチャネルで15cm²/Vs、pチャネルで10cm²/Vsである。結晶配向を{110}方位に揃えることによりTFTの移動度を増大できる。

【0024】

【発明の効果】本実施例のようにpoly-Siの結晶方位が{110}方位に優先配向している膜でTFTを作成すると、TFTの電界効果移動度を大きくすること

*【0018】
【化2】

6

(式2)

※2 θ を散乱角とすると、 $I(hkl)$ は式3で与えられる。

【0019】

【化3】

(式3)

ができる。また、poly-Si成膜時に用いるエッチング性ガスは水素であるためTFT特性に悪影響を及ぼすハロゲン原子が膜中に混入する心配はない。また従来のLPCVD法、固相成長法、レーザーアニーリング法等で得られたpoly-Siは、その結晶粒界にダングリングボンドがあるため電気的特性が劣化するという問題点があり、これを解決するためにpoly-Siを成膜後、水素プラズマ等の方法によってダングリングボンドをパッシベートする必要があった。ところが本発明の方法によるpoly-Si薄膜は、成膜時にすでに水素プラズマにさらされているので、水素パッシベーションを後から施す必要はないという利点がある。

【0025】以上のように本発明は大型・高精細が要求される液晶パネル、駆動回路内蔵型密着型イメージセンサ、4Mビット以上の高集積化SRAM用の負荷素子、IC、LSIをはじめ、3次元SOI素子等、半導体素子全般への応用に効果が大きい。

【図面の簡単な説明】

【図1】 本発明で用いたPCVD装置の概略図。

【図2】 本発明の薄膜トランジスタの製造工程を示す工程図。

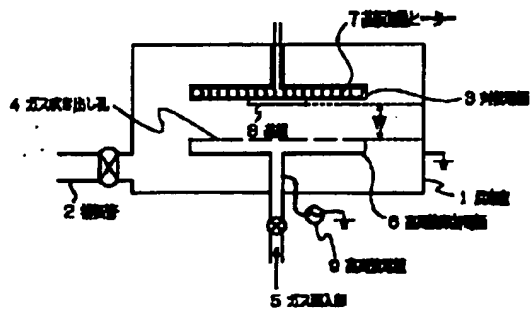
【符号の説明】

- 1.....反応室
- 2.....排気管
- 3.....対抗電極
- 4.....ガス吹き出し孔
- 5.....ガス導入部
- 6.....高周波印加電極
- 7.....基板加熱ヒータ
- 8.....基板
- 9.....高周波電源
- 10.....基板
- 101.....ソース領域
- 102.....ドレイン領域
- 103.....チャネル領域
- 104.....ゲート絶縁膜
- 105.....ゲート電極
- 106.....層間絶縁膜
- 107.....ソース電極
- 108.....ドレイン電極

(5)

特開平4-318973

【図1】



【図2】

